

引用格式:王俊杰,万书芹,季惠才,等. 一种用于 JESD204B 协议的 8B/10B 并行编码电路设计与实现[J]. 微电子学与计算机,2020,37(6):35-39. [WANG J J,WAN S Q,JI H C,et al. Design and implementation of 8B/10B parallel coding circuit for JESD204B protocol [J]. Microelectronics & Computer,2020,37(6):35-39.]

一种用于 JESD204B 协议的 8B/10B 并行编码电路设计与实现

王俊杰^{1,2},万书芹²,季惠才²,陶建中^{1,2},杨 阳^{1,2}

(1 江南大学 物联网工程学院,江苏 无锡 214122;

2 中国电子科技集团公司 第五十八研究所,江苏 无锡 214035)

摘 要: 本文设计并实现了一种四路并行的 8B/10B 编码电路,通过了 NCVerilog 仿真验证,在某 65 nm 工艺库下工作频率可达 405 MHz,可支持 16.2 Gbps 的串行数据传输速率,占用逻辑资源面积 1832 μm^2 ,并作为 JESD204B 协议中的 8B/10B 编码模块已应用于某高速 ADC 芯片的 SerDes 接口电路中. 经实际电路测试,本设计达到了 JESD204B 协议标准的 12.5 Gbps 最高传输速率要求.

关键词: JESD204B;8B/10B 编码;四路并行;SerDes

中图分类号: TP3

文献标识码: A

文章编号: 1000—7180(2020)06—0035—05

Design and implementation of 8B/10B parallel coding circuit for JESD204B protocol

WANG Jun-jie^{1,2},WAN Shu-qin²,JI Hui-cai²,
TAO Jian-zhong^{1,2},YANG Yang^{1,2}

(1 School of IoT Engineering, Jiangnan University, Wuxi 214122, China;

2 The 58th Research Institute, China Electronics Technology Group Corp. , Wuxi 214035, China)

Abstract: This paper designs and implements a four-way parallel 8B/10B encoding circuit, which has been verified by NCVerilog simulation. It can work at 405 MHz under a 65-nm technology library, supporting 16.2 Gbps serial data transmission rate, occupying 1832 μm^2 of logical resources. As the 8B/10B coding module in JESD204B protocol, it has been applied in the SerDes interface circuit of a high-speed ADC chip. The actual circuit test shows that the encoder meets the 12.5 Gbps maximum transmission rate requirement of JESD204B protocol standard.

Key words: JESD204B; 8B/10B encoder; Four-channel parallel; SerDes

1 引言

随着集成电路技术的发展,高速 ADC(模数转换器)的采样精度与采样率不断提升,为了简化高速转换器数据接口的复杂度,2011 年 ADI 公司推出了 JESD204B 标准用于转换器与数字处理器之间的

串行数据接口. 在 JESD204B 协议中,为了实现物理层数据传输中的直流平衡、降低电磁干扰与数据误码率,物理层采用了 8B/10B 的编解码方式,

目前国内 8B/10B 编码电路的研究成果有使用 Cyclong IV 实现了四路等效频率 972 MHz 的编码器设计^[1],使用 Arriva V 实现了四路等效 1.6 GHz 的

编码器^[2];ASIC 上实现了 90 nm 下四路等效 1 GHz 的编码器^[3],180 nm 下单路 343 MHz 的编码器^[4].

本文基于 65 nm 工艺实现了一种最大等效频率达到 1.62 GHz 的编码器,通过了 NCVerilog 验证,并且已经应用于数据传输速率为 12.5 Gbps 的高速 ADC 芯片中.

2 8B/10B 编码基本原理

8B 高速数据有 2^8 共 128 种情况,其中包括了连续的‘0’或‘1’、‘0’多‘1’少,‘1’少‘0’多等情况,造成了直流不平衡、电磁干扰、时钟恢复困难等问题.为解决上述问题,IBM 公司的 Albert X. Widmer 和 Peter A. Franaszek 两位工程师提出了 8B/10B 的编解码方式^[3],将 8B 数据编码成数量相当且至少发生 3 次跳变的 10B 数据用于数据传输.8B 数据包含控制字符 Kx.y 与数据字符 Dx.y 两类,8B 数据由高位到低位依次为 HGFEDCBA,编码后的 10B 数据由高位到低位依次为 abcdefghj,8B/10B 的编码映射关系如图 1 所示.

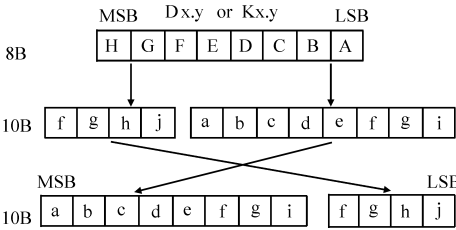


图 1 8B/10B 编码映射关系

使用 RD(Running Disparity,极性偏差值)来体现数据流中‘0’和‘1’的平衡程度^[3],10B 数据的平衡程度有三种,为-2(6 个‘0’与 4 个‘1’)、+2(4 个‘0’与 6 个‘1’)和 0(‘0’与‘1’各 5 个),分别对应了 RD-、RD+ 和平衡,当数据平衡时,保持前一个数据的 RD 不变.

当 8B/10B 进行 3B/4B、5B/6B 分别编码时,取前一个 10B 的 RD 值输出作为当前 8B 中 5B 编码的 RD 输入,再根据当前 5B 编码的 RD 输出作为 3B 编码的 RD 输入.例如前一个 10B 编码结果为 010101 1110(RD+),当前 8B 为 001 10000,而根据编码规则,当前 5B/6B 编码 RD 输入为+,5B 编码后为 100100(RD-),3B/4B 编码的 RD 输入为一,3B 编码后为 1001(保持 RD-),编码后的 10B 为 100100 1001.可见,8B/10B 编码保证了数据通信中‘1’和‘0’数量相对平衡.

3 8B/10B 并行编码设计与实现

目前常见的 8B/10B 编码方法可大体分为逻辑运算法、查找表法、逻辑运算-查找表法三种.由于 8B/10B 编码具有复杂性^[3],在实际工程中,在满足工作频率与数据传输速率的前提下,应尽量优化逻辑单元面积与功耗.本文提出了一种使用逻辑运算法的 4 路并行 8B/10B 编码器结构,整体结构如图 2 所示,该编码器内部由输入输出寄存器、4 个编码单元和一些线网组成.

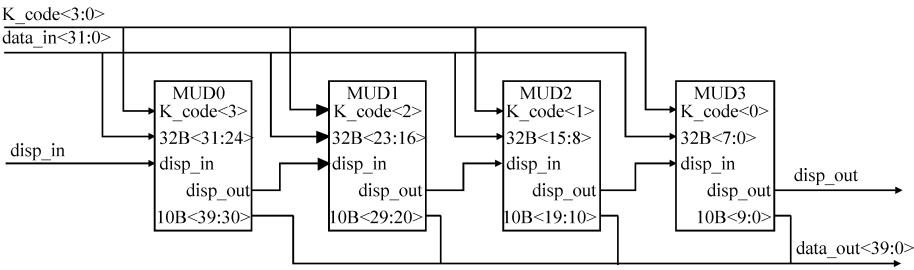


图 2 编码电路整体结构

其中并行编码器的数据方向、名称、位宽与含义如表 1 所示:

表 1 编码器输入输出寄存器信息

DIR	NAME	WIDE	MEANING
IN	data_in	[31:0]	4 路 8bit 数据输入寄存器
	K_code	[3:0]	K 码标识寄存器
	disp_in	1	RD 初始值输入寄存器
OUT	data_out	[39:0]	4 路 10bit 数据输出寄存器
	disp_out	1	RD 终值输出寄存器

根据图 2 可知,此编码器每个时钟周期输入 32 bit 的编码数据.假设单路编码单元模块的稳定所需时间为 T_1 ,即最高工作频率 $f_1=1/T_1$,数据传输速率 $R_1=10 \cdot f_1$ bps,如果仅使用单路编码单元来获得能够满足 JESD204B 高速通信所需的数据传输速率 R ,则编码单元需要工作在 $R/10$ bit 的频率下,例如为满足 JESD204B 协议 12.5 Gbps 数据传输速率,若采用仅有单路编码单元的编码器就须使其工

作在 1.25 GHz 的频率下,这对电路的时钟、工艺与编码器结构的要求是巨大的,甚至是不切实际的.本编码器中使用了 4 路编码单元进行并行编码,数据传输速率 $R_2 = 40 \cdot f_2$ bps. 由于每一路的编码依赖于前一路的 RD 结果输出,而单路的 RD 输出值稳定时间 $T_{rd} < T_1$, 因此 4 路并行编码的工作频率 f_2 满足: $f_1/4 < f_2 < f_1$, 数据传输速率 R_2 满足 $R_1 < R_2 < 4 \cdot R_1$. 显然,本并行编码器能够降低时钟频率,且在数据传输速率上较单路编码有优势,具体参数见本文 3.2 节.

3.1 8B/10B 编码模块设计

并行编码器内部使用了 4 路结构一样的编码单元模块,8B 数据包括了控制字符 K_x . y 与数据字符 D_x . y , 控制字符与数据字符的编码在仅在各别位的处理上有不同,在电路中加入控制字符的编码部分,从而使控制字符与数据字符能够共用编码电路. 编码单元的编码流程如图 3 所示.

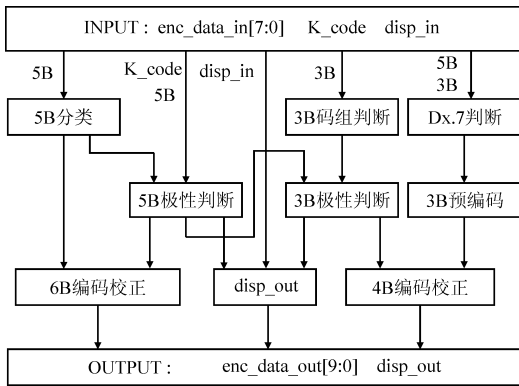


图 3 并行编码器整体结构

编码单元将输入数据用于预编码与极性判断两路进行同步逻辑运算. 待预编码与极性判断完成后, 对预编码的输出进行校正, 即获得了编码后的 10B 数据, 同时根据 5B 和 3B 的极性判断输出结果, 产生最终 10B 的 RD 值输出. 在 8B/10B 编码过程中, 逻辑运算顺序上 5B/6B 编码先于 3B/4B 编码^[6].

3.1.1 5B/6B 编码设计

在 5B/6B 的编码中, 先根据 5B 数据中 ABCD 的‘1’和‘0’数量将其分类, 再对 5B 数据进行预编码, 并将 5B 和 3B 根据规则分别扩充成 6B 和 4B. 下式(1)~(5)为判断 5B 中 ABCD 中‘1’和‘0’的个数, ‘ L_{mn} ’代表了 ABCD 中有 m 个‘1’与 n 个‘0’, 例如‘ L_{13} ’代表 ABCD 中有 1 个‘1’与 3 个‘0’; 式(6)~(10)为 5B 预编码产生的 6B 结果” ao, bo, co, do, eo, io ”, ‘ K ’为 K 码标识; 式(12)~(15)为极性输

出, 其中 $pd5$ 为当前 5B 按正极性进行 5B/6B 编码的标识, $nd5$ 为当前 5B 按负极性进行 5B/6B 编码的标识, $nd6$ 为 5B 编码输出极性为负的标识, $pd6$ 为 5B 编码输出极性为正的标识;

$$L_{22} = (A \& B \& ! C \& ! D) | (C \& D \& ! A \& ! B) | (! (A = B) \& ! (C = D)) \quad (1)$$

$$L_{40} = A \& B \& C \& D \quad (2)$$

$$L_{04} = ! A \& ! B \& ! C \& ! D \quad (3)$$

$$L_{13} = (! (A = B) \& ! C \& ! D) | (! (C = D) \& ! A \& ! B) \quad (4)$$

$$L_{31} = (! (A = B) \& C \& D) | (! (C = D) \& A \& B) \quad (5)$$

$$ao = A \quad (6)$$

$$bo = (B \& ! L_{40}) | L_{04} \quad (7)$$

$$co = L_{04} | C | (E \& D \& ! C \& ! B \& ! A) \quad (8)$$

$$do = D \& ! (A \& B \& C) \quad (9)$$

$$eo = (E | L_{13}) \& ! (E \& D \& ! C \& ! B \& ! A) \quad (10)$$

$$io = (K \& E \& D \& C \& ! B \& ! A) | (E \& ! D \& ! C \& ! (A \& B)) | (E \& L_{40}) | (L_{22} \& ! E) | (E \& ! D \& C \& ! B \& ! A) \quad (11)$$

$$pd5 = (E \& D \& ! C \& ! B \& ! A) | (! E \& ! L_{22} \& ! L_{31}) \quad (12)$$

$$nd5 = K | (E \& ! L_{22} \& ! L_{13}) | (! E \& ! D \& C \& B \& A) \quad (13)$$

$$nd6 = pd5 \quad (14)$$

$$pd6 = K | (E \& ! L_{22} \& ! L_{13}) \quad (15)$$

在码组信息的基础上, 5B 数据根据输入的极性信息计算出极性输出后, 控制 6B 数据以正极性/负极性进行编码, 即式(18)对预编码输出的 6B 数据进行取反校正, 以及指导 3B/4B 的极性产生, 从而完成 5B/6B 编码. 若 5B 数据编码后取 $RD+/RD-$ 时结果一致无需调整, 则称其为 Z 类码, 同理, 若编码后 $RD+/RD-$ 对应的结果互为反码, 则称其为 P 类码.

$$dispout6 = dispin \oplus (nd6 | pd6) \quad (16)$$

$$xor6 = (pd5 \& ! dispin) | (nd5 \& dispin) \quad (17)$$

$$data_out[5:0] = \{ (io \oplus xor6), (eo \oplus xor6), (do \oplus xor6), (co \oplus xor6), (bo \oplus xor6), (ao \oplus xor6) \} \quad (18)$$

3.1.2 3B/4B 编码与 RD 输出设计

在 3B 数据预编码之前, 为了避免编码后 10B 数据‘abcdei fghj’中的‘ei’和‘fgh’出现连续的‘0’或‘1’情况, 下式(19)实现了对 8B 的‘DEFGH’进行逻辑判断, 当满足 $Dx.7$ 的六种情况时, 特殊处理 (x 包括 11, 13, 14, 17, 18, 20) 标识 $mod7$ 置位; 式(20)~(23)为 3B 的预编码, 其中根据特殊处理标识 $mod7$ 产生‘jo’的结果.

mod7=F&G&H&.
(K|(dispin? (! E&D&L₃₁):(E&! D&L₁₃))) (19)
fo=F&! mod7 (20)
go=G|(! F&! G&! H) (21)
ho=H (22)
jo=(! H&(G~F))|mod7 (23)

与 5B/6B 编码同理,根据 3B 输入,式(24)~(27)为 3B/4B 的极性信息标识,其中(24)、(25)的极性信息标识用于 4B 预编码数据校正标识的产生,(26)、(27)的极性信息标识用于 4B 极性输出标识的产生.

nd3=F&G (24)
pd3=(! F&! G)|(K&((F&! G)|(! F&G))) (25)
nd4=(! F&! G) (26)
pd4=F&G&H (27)

式(28)为产生计算预编码结果 4B 是否需要取反校正的标识,式(29)根据 5B/6B 编码的输出极性与 3B/4B 编码极性标识计算出本次 8B/10B 编码的极性输出,式(30)根据取反标识 xor4 对 3B 预编码结果进行校正与输出,从而完成一次 8B/10B 数据的编码.

xor4=(pd3&! dispout6)|(nd3&dispout6) (28)
disp_out=dispout6^(nd4|pd4) (29)
data_out[9:6]={ (jo~xor4), (ho~xor4),
(go~xor4), (fo~xor4)} (30)

3.2 电路的仿真综合与测试

为了测试本文设计的编码电路在实际使用时对连续数据进行编码的功能,将编码器的 RD 终值输出寄存器值作为下一帧数据的 RD 输入,并提供连续的 32 bit 的编码数据输入、4 Bit 的 K 码标识进行编码测试,测试时 RD 初值为 0. 使用 Cadence 的 NCVerilog 软件对本 4 路编码器进行 RTL 级仿真,电路输出连续的 40 bit 编码数据,产生的波形如图 4 所示.

其中,enc_datain[31:0]为的 4 路 8 bit 共 32 bit 的编码数据输入寄存器,enc_k_code[3:0]为 4 路数据的 K 码标识输入,enc_data_out[39:0]为 4 路编码数据输出. 编码器在 2 ns 时给复位信号,在 5 ns 时输入待编码测试数据“00,01,02,03”,K 码标识均为 0,输入数据经过 2 个时钟周期后即 9 ns 时完成编码,编码结果正确,为“274,1D4,2D4,31B”;在 11 ns 时输入 4 个 K 码待编数据“1C,3C,5C,7C”,编码结果正确,为“30B,306,0F5,30C”. 经过测试,在 268 种输入下编码结果均正确,本并行编码器的逻辑功能正常.

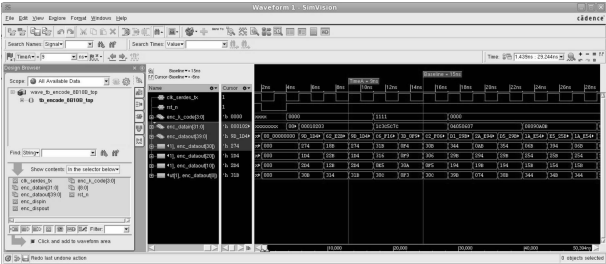


图 4 NCVerilog 仿真波形

使用 Synopsys 的 Design Compiler 软件,使用 SMIC65nm 工艺库对本设计进行综合,综合结果如表 2 所示,与同类编码电路相比,本电路实现了更高的工作频率,从而满足了更高的数据传输需求.

表 2 Design Compiler 综合结果与对比

	本设计	文献 4	文献 3
Technology(nm)	65	180	65
Channels	1	4	4
Frequency(MHz)	435	405	342
Total Area(μm ²)	307	1832	1756
Power (μW)	575	2239	1130
Rate(Gbps)	4. 35	16. 2	3. 42

由表可知,在 65 nm 工艺下,本设计的单路编码电路最高频率为 435 MHz,使用逻辑资源面积为 307 μm²,数据传输速率达到 4. 35 Gbps;4 路编码器最高工作频率为 405 MHz,使用逻辑资源面积为 1832 μm²,数据传输速率达到 16. 2 Gbps. 显然,使用 4 路编码单元的编码器占用 4 倍以上的逻辑面积,但能够在同等工作频率下获得 4 倍的数据处理能力. 本文设计的 4 路并行 8B/10B 编码器的最高工作频率与数据传输速率较文献 3 有优势.

本设计的四路并行编码电路已应用于某高速 ADC 芯片,编码器运行在 312. 5 MHz 下,编码数据传输速度达到 12. 5 Gbps,满足了 JESD204B 的数据传输速率需求,并通过了测试,如图 5 所示,其中测试电路由 FPGA 母板,本设计所应用的 ADC 子板,微控制器测试板三部分组成. FPGA 母板连接 PC 机和 ADC 子板,用于接收 ADC 芯片发送的基于 JESD204B 协议的高速数据,处理后将数据传给 PC 机,ADC 子板安装插座夹持待测芯片,微控制器测试板辅助测试.

4 结束语

针对传输速率 12. 5 Gbps 的 JESD204B 接口中 8B/10B 编码需求,本文设计了一种新型并行 8B/

10B 编码器,采用 Verilog 语言实现了编码器的功能,通过 NCVerilog 与 Design Compiler 软件完成了对电路进行仿真与综合,并已应用于 12.5 Gbps 传输速率的 ASIC 芯片中.因此,本设计对安全可靠、自主可控的国防军工产品生产有较大的实用价值与借鉴意义.

参考文献:

[1] 常红,柯导明,孟坚,等. 新型 8B/10B 编码方案的设计与实现[J]. 计算机工程与应用,2018(2):87-90.

[2] 李长庆,程军,李梁,等. 采用并行 8b/10b 编码的 JESD204B 接口发送端电路设计[J]. 微电子学与计算机,2017,34(8):70-75.

[3] 王方,周璐,张正璠. 8B/10B 编码器新型算法结构的设计与实现[J]. 微电子学与计算机,2016, 33(10): 151-154.

[4] 霍兴华,姚亚峰,贾茜茜,等. JESD204B 接口协议中的 8B10B 编码器设计[J]. 电子器件,2015,38(5):55-59.

[5] WIDMER A X,FRANASZEK P A. A DC-Balanced, Partitioned-Block,8B/10B Transmission Code[J]. IBM

Journal of Research and Development, 1983, 27(5): 440-451.

[6] YADAV S,PANDEY S,GUPTA A. Implementation of 8B/10B encoder-decoder for Gigabit Ethernet Frame [C]//2014 Eleventh International Conference on Wireless and Optical Communications Networks (WOCN). IEEE,2014:1-4.

作者简介:

王俊杰 男,(1996-),硕士研究生,研究方向为大规模集成电路设计.

万书芹(通讯作者) 女,(1977-),博士,高级工程师,研究方向为大规模集成电路设计.

E-mail: wsqwx@aliyun. cn

季惠才 男,(1972-),研究员,研究方向为大规模集成电路设计.

陶建中 男,(1962-),研究员,硕士生导师,研究方向为大规模集成电路设计.

杨 阳 男,(1993-),硕士,研究方向为大规模集成电路设计.

(上接第 34 页)

[3] CHEN Y H, KRISHNA T, EMER J S, et al. Eyerriss: An Energy-Efficient Reconfigurable Accelerator for Deep Convolutional Neural Networks[J]. IEEE Journal of Solid-State Circuits, 2017, 52(1): 127-138.

[4] ZHANG S, DU Z, ZHANG L, et al. Cambricon-X: An accelerator for sparse neural networks[C]// 2016 49th Annual IEEE/ACM International Symposium on Microarchitecture (MICRO). Taipei, China: IEEE, 2016:1-12.

[5] ZHOU A, YAO A, GUO Y, et al. Incremental network quantization: Towards lossless cnns with low-precision weights [J]. arXiv preprint arXiv: 1702. 03044, 2017.

[6] MOONS B, UYTTERHOEVEN R, DEHAENE W, et al. 14.5 Envision: A 0.26-to-10TOPS/W subword-parallel dynamic-voltage-accuracy-frequency-scalable Convolutional Neural Network processor in 28nm FD-

SOI[C]// Solid-state Circuits Conference. San Francisco, USA: IEEE, 2017: 246-247.

[7] ALESSANDRO A, HESHAM M, ENRICO C, et al. NullHop: A Flexible Convolutional Neural Network Accelerator Based on Sparse Representations of Feature Maps[J]. IEEE Transactions on Neural Networks and Learning Systems, 2019, 30(3):644-656.

作者简介:

李永博 男,(1995-),硕士研究生.研究方向为神经网络加速器设计、大规模集成电路设计.

E-mail: lyb_sd@sjtu. edu. cn

王 琴 女,(1975-),副教授.研究方向为大规模集成电路设计、先进集成电路设计方法.

蒋剑飞 男,(1979-),助理研究员.研究方向为高速数字集成电路设计.